

1/5/1

DIALOG(R) File 347:JAPIO  
(c) 2004 JPO & JAPIO. All rts. reserv.

02527598 \*\*Image available\*\*  
EPROM WITH BUILT IN FORM IDENTIFICATION CODE

PUB. NO.: 63-144498 [JP 63144498 A]  
PUBLISHED: June 16, 1988 (19880616)  
INVENTOR(s): URAI TAKAHIKO  
IWASHITA SHINICHI  
APPLICANT(s): NEC CORP [000423] (A Japanese Company or Corporation), JP  
(Japan)  
APPL. NO.: 61-290866 [JP 86290866]  
FILED: December 05, 1986 (19861205)  
INTL CLASS: [4] G11C-017/00  
JAPIO CLASS: 45.2 (INFORMATION PROCESSING -- Memory Units)  
JOURNAL: Section: P, Section No. 778, Vol. 12, No. 408, Pg. 14,  
October 28, 1988 (19881028)

#### ABSTRACT

PURPOSE: To prevent malfunction by using an output of already written signal detection circuit so as to control the operation of a form identification code readout circuit.

CONSTITUTION: The already written signal detection circuit 4 uses a mode detection circuit so as to detect a read only memory EPROM cell capable of programming electrically in an internal circuit 1 to be entered into the write mode and applies writing to an excess EPROM cell. In this case, the threshold voltage of the cell is increased and even if a power supply voltage is applied to the gate, the memory cell transistor (TR) remain turned off but turned on in case of the non-write state, then the detection circuit 4 gives an output of different level depending whether the EPROM cell in the internal circuit 1 is already written or not. Then when the output of the detection circuit 4 represents the write end, a two input AND circuit 5 forms a logic not operating a form identification code readout circuit 3 even when a high voltage is applied to a terminal A(sub 9) and gives the result to the input of the circuit 3.

## ⑯ 公開特許公報 (A)

昭63-144498

⑯ Int. Cl. 4

G 11 C 17/00

識別記号

309

序内整理番号

Z-7208-5B

⑯ 公開 昭和63年(1988)6月16日

審査請求 未請求 発明の数 1 (全4頁)

⑯ 発明の名称 品種識別コード内蔵E PROM

⑯ 特願 昭61-290866

⑯ 出願 昭61(1986)12月5日

⑯ 発明者 浦井 孝彦 東京都港区芝5丁目33番1号 日本電気株式会社内

⑯ 発明者 岩下 伸一 東京都港区芝5丁目33番1号 日本電気株式会社内

⑯ 出願人 日本電気株式会社 東京都港区芝5丁目33番1号

⑯ 代理人 弁理士 内原 晋

## 明細書

発明の名称

品種識別コード内蔵E PROM

## 特許請求の範囲

アドレス入力端子兼高電圧印加端子と、該端子に印加される電源電圧以上の高電圧を検出する高電圧検出回路と、品種識別コード読出し回路を有する品種識別コード内蔵E PROMにおいて、

前記E PROMへの書き込みが行なわれたか否かを検出する書き込み済み検出回路と、前記高電圧検出回路の出力と前記書き込み済み検出回路の出力とで論理積演算しその演算結果を前記品種識別コード読出し回路に供給する2入力論理積回路とを設け、

前記書き込み済み検出回路の出力により前記品種識別コード読出し回路の動作を制御するようにしたことを特徴とする品種識別コード内蔵E PROM。

## 発明の詳細な説明

## 〔産業上の利用分野〕

本発明は電気的にプログラム可能な読み出し専用メモリ(以下E PROMと記す)、特に、品種識別コードを内蔵するE PROMに関する。

## 〔従来の技術〕

最近、E PROMでは書き込み電圧の低電圧(2.1ボルト→1.2.5ボルト)が進み、また、プログラム書き込みの正当性を試験するための動作姿態であるペリファイモードが異なる製品も登場している。さらに、メモリ容量という点でも様々な品種が製品化されており、それぞれに異なった条件、すなわち、書き込み電圧値、書き込み電圧の入力波形、書き込み回数等を有しているというのが実状である。

このような製品の多様化に対応するために、品種識別コードが導入されている。これは、製品内部にその製品に割り当てられた製品コードをROMとして内蔵しておき、予め定めた1つのアドレ

ス端子 (A<sub>9</sub> 端子とする) に外部から高電圧 (12 ボルト) を加えることでそのコードを読出すことができるようとしたものである。

上記のような品種識別コードを内蔵したEPR ROM用として、書き込みを行なう前に、A<sub>9</sub> 端子に高電圧を加えて製品コードを読出し、それによって製品に適した書き込み条件を自動的に設定してから書き込み動作に入るといった機能を有するROMライターが出まわりはじめている。

従来の品種識別コード内蔵EPR ROMは、第2図に示す通り、EPR ROMとしての機能を果たすための内部回路1と、A<sub>9</sub> 端子に高電圧が印加されたことを検知するための高電圧検出回路2と、通常は非選択になっているが高電圧検出回路2の出力信号に従って動作状態になる品種識別コード読出し回路3から成っている。品種識別コード読出し回路3はコードを記憶させたROM部と、そのROM部を選択するためのデコード回路と、ROM部が選択されるとEPR ROM部を非選択にする回路とを含んでいる。

以上の高電圧を検出する高電圧検出回路と、品種識別コード読出し回路を有する品種識別コード内蔵EPR ROMにおいて、

上EPR ROMへの書き込みが行なわれたか否かを検出する書き込み済み検出回路と、高電圧検出回路の出力と書き込み済み検出回路の出力とで論理積演算しその演算結果を品種識別コード読出し回路に供給する2入力論理積回路とを設け、

書き込み済み検出回路の出力により品種識別コード読出し回路の動作を制御するようにしたことを特徴とする。

#### (実施例)

次に本発明について図面を参照して説明する。

第1図は本発明の一実施例のブロック図である。

1はEPR ROMとしての機能を果たすための内部回路、2はA<sub>9</sub> 端子を入力する高電圧検出回路、

4は内部回路1内のEPR ROMに書き込み済みと未書き込み状態によって異なるレベルを出力する書

#### (発明が解決しようとする問題点)

上述した従来の構成では、高電圧検出回路2が高電圧を検知した場合には無条件に品種識別コード読出し回路3が動作してしまい、通常のEPR ROM部は全て非選択になるため、書き込みが完了したEPR ROMを実装して読出しのみを行なう際に配線間の静電容量結合等何らかの原因でA<sub>9</sub> に高電圧が加わると、コードを記憶させたROM部が選択されてしまうために誤動作する可能性がある。

上述した従来の品種識別コード内蔵EPR ROMに対し、本発明は高電圧検出回路2から信号だけでは品種識別コード読出し回路が作動しないようすることによって防ぐことが可能であり、さらに、そのための回路がEPR ROM部と同一チップ内に同じ技術で構成できるという独創的内容を有する。

#### (問題点を解決するための手段)

本発明のEPR ROMは、アドレス入力端子兼高電圧印加端子と、この端子に印加される電源電圧

込み済み検出回路、5は高電圧検出回路2の出力と書き込み済み検出回路4の出力を入力とする2入力論理積回路、3は2入力論理回路5の出力を入力として制御される品種識別コード読出し回路である。

書き込み済み検出回路4は、例えば、モード検知回路と、内部回路1内のEPR ROMセルとは別に余分なEPR ROMセルと、書き込み用の回路とを含み、内部回路1内のEPR ROMセルが書き込みモードに入ったことをモード検知回路で検出し、余分なEPR ROMセルに書き込みを行う。

EPR ROMセルに書き込みを行った場合、セルのしきい値電圧は高くなるために、通常状態でゲートに電源電圧を加えてもメモリセルトランジスタはオフしたままである。一方、未書き込み状態ではメモリセルトランジスタがオンしているため、この差を用いて2入力論理積回路5の出力を変化させることが可能である。内部回路1内のEPR ROMセルが未書き込み状態のときは、余分なEPR ROMセルも未書き込み、内部回路1内のEPR ROMセル

が書き込み済みならば、余分のE PROMセルも書き込み状態となるわけであり、これによって書き込み済み検出回路4は、内部回路1内のE PROMセルが書き込み済みか否かで異なるレベルを出力する。

そして、2入力論理積回路5では、書き込み済み検出回路4の出力が書き込み済みであることを示すものならば、A<sub>9</sub>端子に高電圧が印加されたとしても、品種識別コード回路3を動作させないような論理をつくって、品種識別コード読出し回路3の入力に供給する。従って、本実施例を用いたE PROMの場合、未書き込み状態でしか品種識別コード読出し回路3は動作せず、通常の読出しの使用時に誤動作することはない。

ここで便宜上、高電圧検出回路2はA<sub>9</sub>端子に高電圧印加の場合に高レベル、それ以外の場合には低レベル、書き込み済み検出回路4は未書き込み状態で高レベル、書き込み済み状態で低レベル、さらに品種識別コード読出し回路3はその入力（すなわち2入力論理積回路5の出力）が高レベルの場

合にのみ動作するとする。もちろん、これらの論理は全てがさらに個々ご独立に逆であっても何ら支障はなく、2入力論理積回路5の回路構成を変更するだけでよい。この場合、2入力論理積回路5は、第3図のような構成となる。すなわち2入力A<sub>1</sub>、BのNAND回路にインバータを加えたもので、出力Cは上述のような必要な論理出力となる。

さらに前記2入力論理積回路5を別の構成で実現した例を第4図に示す。2入力A<sub>1</sub>、Bのそれぞれにインバータを接続し、その各出力を入力とした2入力NOR回路から出力Cを得るという構成になっている。

さらに第3図および第4図におけるインバータは、高電圧検出回路2と書き込み検出回路4の出力、さらに品種識別コード読出し回路5の入力の論理によっては省略されたり、また、異なる箇所へ追加されたりすることもあり得る。

#### 〔発明の効果〕

以上説明したように本発明は、従来の品種識別

コード内蔵E PROMに書き込み済み検出回路と、その出力と高電圧検出回路の出力とを入力とする2入力論理積回路を付加することにより、通常の読出しのみに使用する状態において、A<sub>9</sub>端子に偶発的に高電圧が印加されその結果、品種識別コード読出し回路が動作することによって起こる誤動作を防ぐことができるという効果がある。

さらに、書き込み済み検出回路に通常のメモリセルと同じE PROMセルを用いれば、特別の技術を用いることなく、同一チップ上に回路を実現することが可能である。さらに、通常のメモリセル部を消却するのと同時に書き込み済み検出回路内のE PROMセルも消却され、品種識別コード読出しが可能である状態にもどすこともできる。

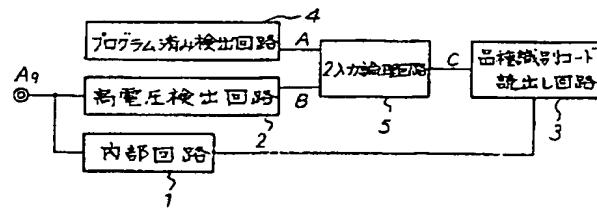
#### 図面の簡単な説明

第1図は本発明の一実施例、第2図は従来例、第3図は第1図における2入力論理積回路5の構成の一例および第4図は第1図における2入力論理積回路5の他の例である。

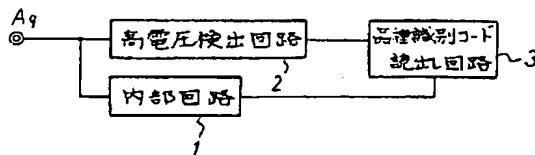
1…内部回路、2…高電圧検出回路、3…品種識別コード読出し回路、4…書き込み検出回路、5…2入力論理積回路。

代理人 弁理士 内原

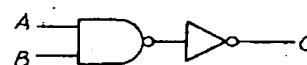
晋 (弁理士  
内原晋)



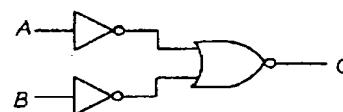
第 1 図



第 2 図



第 3 図



第 4 図